



**PATENT APPLICATION**  
**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of

Docket No: Q78185

Kazuo YAMAGISHI

Appln. No.: 10/694,725

Group Art Unit: 2878

Confirmation No.: 4040

Examiner: Unknown

Filed: October 29, 2003

For: PHOTOVOLTAIC SOLID STATE RELAY

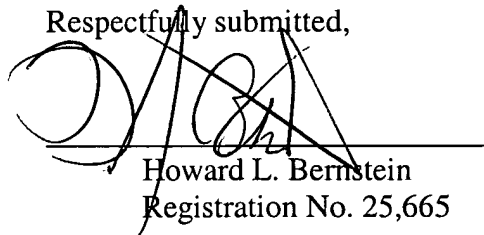
**SUBMISSION OF PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Submitted herewith is a certified copy of the priority document on which a claim to priority was made under 35 U.S.C. § 119. The Examiner is respectfully requested to acknowledge receipt of said priority document.

Respectfully submitted,



Howard L. Bernstein  
Registration No. 25,665

SUGHRUE MION, PLLC  
Telephone: (202) 293-7060  
Facsimile: (202) 293-7860

WASHINGTON OFFICE

**23373**

CUSTOMER NUMBER

**Enclosures: Japan 2002-314042**

Date: March 9, 2004

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

K. Yamagishi  
10/694, 725  
Filed 10/29/03  
Q 78185 10f1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 2 年 1 0 月 2 9 日

出 願 番 号  
Application Number: 特 願 2 0 0 2 - 3 1 4 0 4 2

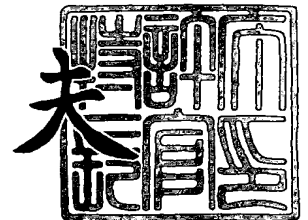
[ST. 10/C]: [ J P 2 0 0 2 - 3 1 4 0 4 2 ]

出 願 人  
Applicant(s): 関 西 日 本 電 気 株 式 会 社

2 0 0 3 年 8 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 7 9 0 0

【書類名】 特許願

【整理番号】 KNP2X02166

【提出日】 平成14年10月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 17/78  
H01L 29/78

【発明の名称】 光結合型半導体リレー装置

【請求項の数】 6

【発明者】

【住所又は居所】 滋賀県大津市晴嵐 2 丁目 9 番 1 号  
関西日本電気株式会社内

【氏名】 山岸 和夫

【特許出願人】

【識別番号】 000156950

【氏名又は名称】 関西日本電気株式会社

【代表者】 貴志 禎之

【手数料の表示】

【予納台帳番号】 014007

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光結合型半導体リレー装置

【特許請求の範囲】

【請求項 1】

半導体発光素子と、半導体発光素子からの光信号を電気信号に変換する半導体光起電素子と、この電気信号によって駆動される双方向形スイッチ素子とを具備した光結合型半導体リレー装置において、

双方向形スイッチ素子は、半導体基板上に絶縁層を介して形成された一導電型半導体層に構成される第 1 の MOSFET、第 2 の MOSFET およびバイポーラトランジスタからなり、

第 1 の MOSFET と第 2 の MOSFET とは、前記半導体層に形成された閉じた一導電型共通ドレイン領域により逆直列接続され、

第 1 の MOSFET は、前記半導体層に前記共通ドレイン領域に取囲まれて形成された閉じた他導電型第 1 ベース領域と、前記第 1 ベース領域に形成された一導電型第 1 ソース領域と、前記共通ドレイン領域と第 1 ソース領域間の第 1 ベース領域上に第 1 ゲート絶縁膜を介して形成された第 1 ゲート電極と、前記第 1 ベース領域および第 1 ソース領域に接続された第 1 ソース電極とを備え、

第 2 の MOSFET は、前記半導体層に前記共通ドレイン領域を取囲んで形成された閉じた他導電型第 2 ベース領域と、前記第 2 ベース領域に形成された一導電型第 2 ソース領域と、前記共通ドレイン領域と第 2 ソース領域間の第 2 ベース領域上に第 2 ゲート絶縁膜を介して形成された第 2 ゲート電極と、前記第 2 ベース領域および第 2 ソース領域に接続された第 2 ソース電極とを備え、

バイポーラトランジスタは、前記共通ドレイン領域をベースとし、前記第 1 および第 2 ベース領域のうち一方のベース領域をエミッタ、他方のベース領域をコレクタとして構成されていることを特徴とする光結合型半導体リレー装置。

【請求項 2】

半導体光起電素子は、第 1 の半導体光起電素子と第 2 の半導体光起電素子とからなり、第 1 の半導体光起電素子は前記第 1 の MOSFET のゲート・ソース間に接続され、第 2 の半導体光起電素子は前記第 2 の MOSFET のゲート・ソー

ス間に接続されていることを特徴とする請求項 1 記載の光結合型半導体リレー装置。

【請求項 3】

第 1 の MOS F E T は、前記第 1 ベース領域が、前記半導体層に前記共通ドレイン領域に取囲まれて形成された他導電型第 1 ウェル領域を介して前記絶縁層に達しているとともに、

第 2 の MOS F E T は、前記第 2 ベース領域が、前記半導体層に共通ドレイン領域を取囲んで形成された他導電型第 2 ウェル領域を介して前記絶縁層に達していることを特徴とする請求項 1 記載の光結合型半導体リレー装置。

【請求項 4】

第 1 の MOS F E T は、前記第 1 ウェル領域上に、フィールド酸化膜を介して第 1 ゲートパッドおよび第 1 ソースパッドが形成されているとともに、

第 2 の MOS F E T は、前記第 2 ウェル領域上に、フィールド酸化膜を介して第 2 ゲートパッドおよび第 2 ソースパッドが形成されていることを特徴とする請求項 3 記載の光結合型半導体リレー装置。

【請求項 5】

半導体発光素子は、第 1 の半導体光起電素子と第 2 の半導体光起電素子とに共通に光結合されていることを特徴とする請求項 2 記載の光結合型半導体リレー装置。

【請求項 6】

半導体発光素子は、第 1 の半導体発光素子と第 2 の半導体発光素子とからなり、第 1 の半導体発光素子は前記第 1 の半導体光起電素子に光結合され、第 2 の半導体発光素子は前記第 2 の半導体光起電素子に光結合されていることを特徴とする請求項 2 記載の光結合型半導体リレー装置。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、スイッチ素子として双方向形スイッチ素子を用いた光結合型半導体リレー装置に関する。

## 【0002】

## 【従来の技術】

この種の光結合型半導体リレー装置は、従来の電磁リレー装置に代わりリレー装置として小型、高感度、高速、高信頼性化等したものとして開発されたもので、電気信号を半導体発光素子、例えば、発光ダイオードで光信号に変換し、発光ダイオードと光結合された半導体光起電素子、例えば、光起電ダイオード（P V D ; Photo Voltaic Diode）アレーで光信号を電気信号に変換し、この電気信号によってスイッチ素子としてのMOSFETを駆動させ、出力接点信号を得るようにしている。この種の光結合型半導体リレー装置として、交流・直流の共用が可能な光結合型半導体リレー装置がある（例えば、特許文献1参照。）。

## 【0003】

以下、特許文献1に示されているソリッドステートリレー回路について、図6を参照して説明する。入力端子1a、1b間に電気信号を供給すると、入力端子1a、1b間に接続された半導体発光素子としての発光ダイオード2で光信号に変換される。この光信号は、発光ダイオード2と光結合された半導体光起電素子としての複数個直列接続の光起電ダイオード3で構成された光起電ダイオードアレー4で電気信号に変換される。この電気信号は、放電回路5を介して、スイッチ素子としてのソースを共通に逆直列接続した2個のエンハンスメント形（ノーマリオフ形）のNチャネル型MOSFET6、7のそれぞれのゲート・ソース間に供給され、MOSFET6、7をオン駆動させ、MOSFET6、7のそれぞれのドレインに接続された出力端子8a、8b間にノーマリオープン出力接点信号を得るようにしている。

## 【0004】

放電回路5は、ダイオード9、10とサイリスタ11とで構成されている。ダイオード9は、光起電ダイオードアレー4のアノードとMOSFET6、7のそれぞれのゲートとの間にアノードを共通にして接続され、ダイオード10は、光起電ダイオードアレー4のカソードとMOSFET6、7のそれぞれのソースとの間にカソードを共通にして接続されている。サイリスタ11は、アノードがダイオード9のカソードとMOSFET6、7のゲートとの接続点に接続され、

カソードがダイオード10のアノードとMOSFET6、7のソースとの接続点に接続され、N極ゲートが光起電ダイオードアレー4のアノードとダイオード9のアノードとの接続点に接続され、P極ゲートが光起電ダイオードアレー4のカソードとダイオード10のカソードとの接続点に接続されている。

#### 【0005】

上記構成のソリッドステートリレー回路において、入力端子1a、1b間に電気信号が供給されると、発光ダイオード2で光信号に変換され、光起電ダイオードアレー4で再び電気信号に変換されるが、このとき、放電回路5に用いているサイリスタ11はオフ状態であり、抵抗値が極めて高いため、光起電ダイオードアレー4からの電気信号による電荷はダイオード9、10を通してMOSFET6、7のそれぞれのゲートにただちに印加される。

#### 【0006】

次に、入力端子1a、1b間に供給されていた電気信号が供給されなくなると、発光ダイオード2からの光信号がなくなり、光起電ダイオードアレー4からの電気信号もなくなるが、ダイオード9、10およびサイリスタ11によりMOSFET6、7のそれぞれのゲート電圧は、そのまま保たれている。この状態で光起電ダイオードアレー4では自己放電により電圧が低下する。この電圧低下により、まずダイオード9、10がオフ状態になる。このためサイリスタ11のN極ゲート、P極ゲートのインピーダンスがきわめて高くなり、極く僅かの電流でサイリスタ11がオンするようになる。更に、電圧が低下するとN極ゲートあるいはP極ゲートが順方向にバイアスされる。ゲートの感度がきわめて高いため、光起電ダイオードアレー4のわずかな自己放電電流でも容易にサイリスタ11はオンする。

#### 【0007】

サイリスタ11は自己保持特性を持つため、一度オンすると、アノード、カソード間の電位が1V程度に下がるまでオン状態を保つ。このため、MOSFET6、7のゲートに蓄積された電荷は、サイリスタ11を通して速やかに放電されMOSFET6、7はオフする。

#### 【0008】

ところで、上述のソリッドステートリレー回路では、交流・直流の共用を可能とするため、MOSFET 6、7を2個逆直列に接続した回路となっており、MOSFET 6、7を2チップ構成とすると小型化に不利であり、また製造コストを低減する上でも問題である。この問題を解決するために2個のMOSFETを1チップ化したものが提案されている（例えば、特許文献2、3参照。）。以下、特許文献2、3に示されているSOI構造を利用した双方向形LDMOSFET（Lateral Double Diffused MOSFET）について、図7を参照して説明する。この双方向形LDMOSFETは、SOI構造を有しており、半導体基板101の上に絶縁層102を介してn<sup>-</sup>型半導体層103が形成されている。n型半導体層103の表面側には2つのn<sup>+</sup>型ドレイン領域104、105が形成されているとともに、両ドレイン領域104、105の間でp型ウェル領域106が形成されている。p型ウェル領域106は絶縁層102に達する深さに形成されており、半導体層103を2つの領域に分割している。さらに、p型ウェル領域106の中には、2つのn<sup>+</sup>型ソース領域107、108が形成されている。ドレイン領域104、105とp型ウェル領域106とは半導体層103の表面に露出し、ソース領域107、108はp型ウェル領域106の表面に露出している。各ドレイン領域104、105の表面形状は矩形状に形成されており、各ソース領域107、108の表面形状はそれぞれドレイン領域104、105を所定距離だけ離間して囲む形状に形成されている。p型ウェル領域106上には、ゲート絶縁膜110、111を介して絶縁ゲート型のゲート電極112、113が形成されており、両ゲート電極112、113は共通に接続されている。ドレイン領域104、105にはそれぞれドレイン電極114、115が接続されている。さらに、ソース領域107、108とp型ウェル領域106とに跨がる形でソース電極117が接続されている。図7の断面図は、図8に示す双方向形LDMOSFETの平面パターンのB-B'断面を示したものである。

#### 【0009】

上述した双方向形LDMOSFETをオン状態にするには、ゲート電極112、113とソース電極117の間にゲート電極112、113が正電位になるように電圧を印加する。このとき、p型ウェル領域106におけるゲート絶縁膜1



110、111の直下にチャンネルが形成される。ここで、ドレイン電極114、115間にドレイン電極114側が高電位になるように電圧が印加されているとすれば、ドレイン電極114→ドレイン領域104→半導体層103→ゲート電極112に対応するチャンネル→ソース領域107→ソース電極117→ソース領域108→ゲート電極113に対応するチャンネル→半導体層103→ドレイン領域105→ドレイン電極115の経路で電流が流れる。ドレイン電極114、115に印加される電圧極性が逆になった場合には電流の向きが逆になるが同様に動作する。

#### 【0010】

一方、上述した双方向形LDMOSFETをオフ状態にするには、ゲート電極112、113とソース電極117とを短絡させる。これによってp形ウェル領域106においてゲート絶縁膜110、111の直下に形成されていたチャンネルが消滅し電流が流れなくなり、オフ状態になるのである。オフ状態ではドレイン電極114、115間に正負いずれの電圧を印加しても電流は流れない。つまり、交流電圧に対してオフ状態になる。

#### 【0011】

上述した双方向形LDMOSFETを用いると、1チップで交流電力をオン・オフさせることができる。

#### 【0012】

##### 【特許文献1】

特許第2522249号明細書（第3-4頁、第1図）

##### 【特許文献2】

特許第3222847号明細書（「0017」-「0021」欄、図1）

##### 【特許文献3】

特開2001-274407号公報（「0006」-「0010」欄、図8、図9）

#### 【0013】

【発明が解決しようとする課題】

ところで、上述した従来の双方向形 LDMOSFET の等価回路は、図 6 に示した MOSFET 6、7 を 2 個逆直列に接続した回路と同じであり、オン抵抗が 2 個の MOSFET のオン抵抗の和となり、オン抵抗をさらに低減する上で問題である。また、上述した従来の双方向形 LDMOSFET は、p 型ウェル領域 106 を絶縁層 102 まで到達させた構造とすることにより出力容量を低減している。しかし、高周波信号制御のためにはさらに出力容量を低減する必要がある。

本発明は上記問題点に鑑みてなされたものであり、その目的は、双方向形スイッチ素子のオン抵抗をさらに低減した光結合型半導体リレー装置を提供することを目的とする。

#### 【0014】

##### 【課題を解決するための手段】

(1) 本発明の光結合型半導体リレー装置は、半導体発光素子と、半導体発光素子からの光信号を電気信号に変換する半導体光起電素子と、この電気信号によって駆動される双方向形スイッチ素子とを具備した光結合型半導体リレー装置において、双方向形スイッチ素子が、半導体基板上に絶縁層を介して形成された一導電型半導体層に構成される第 1 の MOSFET、第 2 の MOSFET およびバイポーラトランジスタからなり、第 1 の MOSFET と第 2 の MOSFET とは、前記半導体層に形成された閉じた一導電型共通ドレイン領域により逆直列接続され、第 1 の MOSFET は、前記半導体層に前記共通ドレイン領域に取囲まれて形成された閉じた他導電型第 1 ベース領域と、前記第 1 ベース領域に形成された一導電型第 1 ソース領域と、前記共通ドレイン領域と第 1 ソース領域間の第 1 ベース領域上に第 1 ゲート絶縁膜を介して形成された第 1 ゲート電極と、前記第 1 ベース領域および第 1 ソース領域に接続された第 1 ソース電極とを備え、第 2 の MOSFET は、前記半導体層に前記共通ドレイン領域を取囲んで形成された閉じた他導電型第 2 ベース領域と、前記第 2 ベース領域に形成された一導電型第 2 ソース領域と、前記共通ドレイン領域と第 2 ソース領域間の第 2 ベース領域上に第 2 ゲート絶縁膜を介して形成された第 2 ゲート電極と、前記第 2 ベース領域および第 2 ソース領域に接続された第 2 ソース電極とを備え、バイポーラトランジスタは、前記共通ドレイン領域をベースとし、前記第 1 および第 2 ベース領域の

うち一方のベース領域をエミッタ、他方のベース領域をコレクタとして構成されていることを特徴とする。

(2) 本発明の光結合型半導体リレー装置は、上記(1)項において、半導体光起電素子が、第1の半導体光起電素子と第2の半導体光起電素子とからなり、第1の半導体光起電素子が前記第1のMOSFETのゲート・ソース間に接続され、第2の半導体光起電素子が前記第2のMOSFETのゲート・ソース間に接続されていることを特徴とする。

(3) 本発明の光結合型半導体リレー装置は、上記(1)項において、第1のMOSFETは、前記第1ベース領域が、前記半導体層に前記共通ドレイン領域に取囲まれて形成された他導電型第1ウェル領域を介して前記絶縁層に達しているとともに、第2のMOSFETは、前記第2ベース領域が、前記半導体層に共通ドレイン領域を取囲んで形成された他導電型第2ウェル領域を介して前記絶縁層に達していることを特徴とする。

(4) 本発明の光結合型半導体リレー装置は、上記(3)項において、第1のMOSFETは、前記第1ウェル領域上に、フィールド酸化膜を介して第1ゲートパッドおよび第1ソースパッドが形成されているとともに、第2のMOSFETは、前記第2ウェル領域上に、フィールド酸化膜を介して第2ゲートパッドおよび第2ソースパッドが形成されていることを特徴とする。

(5) 本発明の光結合型半導体リレー装置は、上記(2)項において、半導体発光素子が、第1の半導体光起電素子と第2の半導体光起電素子とに共通に光結合されていることを特徴とする。

(6) 本発明の光結合型半導体リレー装置は、上記(2)項において、半導体発光素子が第1の半導体発光素子と第2の半導体発光素子とからなり、第1の半導体発光素子が前記第1の半導体光起電素子に光結合され、第2の半導体発光素子が前記第2の半導体光起電素子に光結合されていることを特徴とする。

## 【0015】

### 【発明の実施の形態】

以下に、本発明の光結合型半導体リレー装置の第1実施例について、図1を参照して説明する。尚、図6に示した構成と同一部分は同一符号を付して、重複す

る説明を省略する。図 6 に示した回路とは、受光側回路が異なる。出力端子 8 a、8 b 間に双方向形スイッチ素子 2 0 が接続されている。双方向形スイッチ素子 2 0 は、2 個のエンハンスメント形（ノーマリオフ形）の N チャネル型 MOS FET 2 1 a、2 1 b と、PNP トランジスタ 2 2 とで構成されている。MOS FET 2 1 a、2 1 b は、ドレインを共通に逆直列接続され、各ソースが出力端子 8 a、8 b に接続されている。PNP トランジスタ 2 2 は、ベースが MOS FET 2 1 a、2 1 b の直列接続点に接続されており、出力端子 8 a 側が高電位するとき、エミッタおよびコレクタが出力端子 8 a、8 b に接続され、出力端子 8 b 側が高電位するとき、コレクタおよびエミッタが出力端子 8 a、8 b に接続されている（図 1 では、出力端子 8 a 側が高電位のことを図示）。各 MOS FET 2 1 a、2 1 b のゲート・ソース間には、各 MOS FET 2 1 a、2 1 b ごとに別々に、光起電ダイオードアレー 4 が放電回路 5 を介して接続されている。

#### 【0 0 1 6】

上記構成の回路の動作について説明する。尚、放電回路 5 の動作については、従来技術での説明と同様であり、説明を省略する。入力端子 1 a、1 b 間に電気信号が供給されると、発光ダイオード 2 で光信号に変換され、この光信号は、各光起電ダイオードアレー 4 で電気信号に変換される。この各電気信号は、各放電回路 5 を介して、双方向形スイッチ素子 2 0 の MOS FET 2 1 a、2 1 b のそれぞれのゲート・ソース間に供給され、後述するように双方向形スイッチ素子 2 0 をオン駆動させる。

#### 【0 0 1 7】

次に、入力端子 1 a、1 b 間に供給されていた電気信号が供給されなくなると、発光ダイオード 2 からの光信号がなくなり、各光起電ダイオードアレー 4 からの電気信号もなくなる。その結果、各放電回路 5 を介して、双方向形スイッチ素子 2 0 の MOS FET 2 1 a、2 1 b のそれぞれのゲートに蓄積された電荷が速やかに放電され双方向形スイッチ素子 2 0 をオフさせる。

#### 【0 0 1 8】

次に、双方向形スイッチ素子 2 0 について説明する。双方向形スイッチ素子 2 0 は、半導体チップの上面から見た表面パターンの一例を図 2 に示すように、M

MOSFET 21a、21bの後述するゲート電極39a、39bがゲート電極39aを内側、ゲート電極39bを外側とするレーストラック形状のパターンで配置され、そのゲート電極39aに取囲まれてMOSFET 21aのゲートパッド23aおよびソースパッド24aが配置され、MOSFET 21bのゲート電極39bの外側にMOSFET 21bのゲートパッド23bおよびソースパッド24bが配置された表面レイアウトとなっている。

#### 【0019】

以下、図3も参照して説明する。双方向形スイッチ素子20は、SOI基板30に形成されている。SOI基板30は、一導電型としてのn型または他導電型としてのp型のシリコン基板31の上にシリコン酸化膜32が形成され、このシリコン酸化膜32の上にシリコン層33が形成されて構成され、このシリコン層33に双方向形スイッチ素子20が形成されている。シリコン層33は、初期層として（後述する各領域が形成されていない状態で）、一導電型半導体層としてのn<sup>-</sup>型不純物層を形成している。この双方向形スイッチ素子20は、シリコン基板31をフローティング電位で用いることによりドレイン・基板間容量による出力容量を低減している。

#### 【0020】

シリコン層33には、MOSFET 21a、21bの後述するゲート電極39a、39bに挟まれる表面層にn型ウェル領域34がレーストラック形状のパターンで形成されている。n型ウェル領域34に取囲まれた内側領域には、MOSFET 21aを構成する以下のものが形成されている。n型ウェル領域34から所定距離離間した内側領域全体にシリコン酸化膜32まで到達したp型ウェル領域44aが形成されている。そして、p型ウェル領域44a内またはp型ウェル領域44a内からシリコン層33に跨る表面層にn型ウェル領域34から所定距離離間したレーストラック形状のp型ベース領域35aが形成されている。そして、ベース領域35aの表面層にベース領域35a端からチャンネル長として所定距離離間したレーストラック形状のn<sup>+</sup>型ソース領域37aが形成されている。

#### 【0021】

また、n型ウェル領域34を取囲む外側領域には、MOSFET 21bを構成

する以下のものが形成されている。n型ウェル領域34から所定距離離間した外側領域にシリコン酸化膜32まで到達したp型ウェル領域44bが形成されている。そして、p型ウェル領域44b内またはp型ウェル領域44b内からn型ウェル領域34側のシリコン層33に跨る表面層にn型ウェル領域34から所定距離離間したレーストラック形状のp型ベース領域35bが形成されている。そして、ベース領域35bの表面層にベース領域35b端からチャンネル長として所定距離離間したレーストラック形状のn<sup>+</sup>型ソース領域37bが形成されている。そして、p型ウェル領域44a、44bに挟まれたn型ウェル領域34を含むシリコン層33がMOSFET21a、21bの共通ドレイン領域36を構成する。

#### 【0022】

また、SOI基板30上には、以下のものが形成されている。共通ドレイン領域36とソース領域37a、37bとの間のベース領域35a、35b上にゲート絶縁膜としての薄いシリコン酸化膜38a、38bを介してポリシリコンからなるゲート電極39a、39bが形成されている。そして、n型ウェル領域34上と、ベース領域35aに取囲まれたp型ウェル領域44a上と、ベース領域35bを取囲むp型ウェル領域44bおよびその外周のシリコン層33上とにフィールド酸化膜としての厚いシリコン酸化膜40が形成されている。さらに、それらのシリコン酸化膜40上およびゲート電極39a、39b上に層間絶縁膜41が形成されている。そして、ゲート電極39a、39bから層間絶縁膜41により絶縁されて、ベース領域35a、35bとソース領域37a、37bとに電氣的接触するアルミニウム膜からなるソース電極43a、43bがそれぞれ形成されている。

#### 【0023】

ベース領域35aに取囲まれたp型ウェル領域44a上の層間絶縁膜41上にゲートパッド23aおよびソースパッド24aがアルミニウム膜により形成されている。また、ベース領域35bを取囲むp型ウェル領域44b上の層間絶縁膜41上にゲートパッド23bおよびソースパッド24bがアルミニウム膜により形成されている。ゲートパッド23a、23bはアルミニウム配線によりゲート

電極 39 a、39 b に接続されている。ソースパッド 24 a、24 b は、ソース電極 43 a、43 b と一体に形成されている。

#### 【0024】

ソース電極 43 a、43 b 間には、共通ドレイン領域 36 をベースとし、ソース電極 43 a 側が高電位するとき、ベース領域 35 a、35 b をエミッタ、コレクタとし、ソース電極 43 b 側が高電位するとき、ベース領域 35 a、35 b をコレクタ、エミッタとする PNP トランジスタ 22 が形成されている。尚、ゲート電極 39 a、39 b に対応するそれぞれのチャネルの幅を同一とするために、ベース領域 35 a の外周端とソース領域 37 a 間のベース領域 35 a の平面パターンを凸凹形状となるようにしてもよい。

#### 【0025】

上述した双方向形スイッチ素子 20 をオン状態にするには、入力端子 1 a、1 b 間に電気信号を供給することにより、ゲート電極 39 a、39 b とソース電極 43 a、43 b 間にゲート電極 39 a、39 b が正電位になる電圧を印加する。このとき、ベース領域 35 a、35 b におけるシリコン酸化膜 38 a、38 b の直下にチャネルが形成される。ここで、ソース電極 43 a、43 b 間にソース電極 43 a 側が高電位になるように電圧が印加されているとすれば、ソース電極 43 a → ソース領域 37 a → ゲート電極 39 a に対応するチャネル → 共通ドレイン領域 36 → ゲート電極 39 b に対応するチャネル → ソース領域 37 b → ソース電極 43 b の経路で電流が流れる。このときソース電極 43 a と共通ドレイン領域 36 間の印加電圧がソース領域 37 a と共通ドレイン領域 36 間の  $V_F$  ( $\cong 0.7 \sim 1.0$  V) 以下の場合には MOSFET 21 a、21 b のオン抵抗の和が発生する。ところがソース電極 43 a と共通ドレイン領域 36 間の印加電圧がソース領域 37 a と共通ドレイン領域 36 間の  $V_F$  を超えるとソース電極 43 a、43 b 間に形成された PNP トランジスタ 22 がターンオンし、ソース電極 43 a、43 b 間の電圧は PNP トランジスタ 22 の  $V_{BE(sat)}$  相当の特性となり、図 7 に示す従来の双方向形 LDMOSFET の 2 つの MOSFET のオン抵抗の和より小さくなる。本提案と従来の光結合型半導体リレー装置との負荷電圧、負荷電流特性の一例を図 4 に示す。PNP トランジスタ 22 がターンオンするソ

ース電極 4 3 a、4 3 b間の電圧は 3 9 a、3 9 bのゲート印加電圧、PNP トランジスタ 2 2 の電流増幅率等でコントロールが可能である。ソース電極 4 3 a、4 3 bに印加される電圧極性が逆になった場合には電流の向きが逆になるが同様に動作する。

#### 【0 0 2 6】

一方、上述した双方向形スイッチ素子 2 0 をオフ状態にするには、入力端子 1 a、1 b間に供給されていた電気信号の供給を停止することにより、ゲート電極 3 9 a、3 9 bとソース電極 4 3 a、4 3 bとを短絡させる。これによってベース領域 3 5 a、3 5 bにおいてシリコン酸化膜 3 8 a、3 8 bの直下に形成されていたチャネルが消滅し電流が流れなくなり、オフ状態になる。オフ状態ではソース電極 4 3 a、4 3 b間に正負いずれの電圧を印加しても電流は流れない。つまり、交流電圧に対してオフ状態になる。

#### 【0 0 2 7】

上記構成により、ソース電極 4 3 a、4 3 b間にPNP トランジスタ 2 2 が形成されることにより、双方向形スイッチ素子 2 0 のオン状態のとき、このPNP トランジスタ 2 2 がターンオンするため、ソース電極 4 3 a、4 3 b間のオン抵抗を低くすることができる。従って、上記構成の双方向形スイッチ素子 2 0 を用いた図 1 の光結合型半導体リレー装置では、出力端子 8 a、8 b間のオン抵抗を従来より低減することができる。

また、ゲートパッド 2 3 a、2 3 bおよびソースパッド 2 4 a、2 4 bをMOSFET 2 1 a、2 1 bのベース領域 3 5 a、3 5 bが形成されているp型ウェル領域 4 4 a、4 4 b上にシリコン酸化膜 4 0 および層間絶縁膜 4 1 を介して形成しているので、ゲートパッド 2 3 a、2 3 bおよびソースパッド 2 4 a、2 4 bの直下にp型ウェル領域 4 4 a、4 4 bとは別にp型ウェル領域を設ける場合に比べ、ドレイン・ソース間容量に影響するPN接合面積を低減することができる、双方向形スイッチ素子の出力容量を低減できる。

#### 【0 0 2 8】

次に、本発明の光結合型半導体リレー装置の第 2 実施例について、図 5 を参照して説明する。尚、図 1 に示した構成と同一部分は同一符号を付して、重複する



説明を省略する。図 1 に示した回路とは、発光側回路が異なる。図 1 では、2 個の光起電ダイオードアレー 4 を、入力端子 1 a、1 b 間に接続された発光ダイオード 2 で共通に光結合させているのに対して、図 5 では、2 個の光起電ダイオードアレー 4 を、入力端子 5 1 a、5 1 b 間に接続された発光ダイオード 2 と、入力端子 5 1 c、5 1 d 間に接続された発光ダイオード 2 とでそれぞれ独立に光結合させている。

### 【0029】

上記構成の回路の動作について説明する。

①入力端子 5 1 a、5 1 b 間および入力端子 5 1 c、5 1 d 間に同一タイミングの電気信号が供給された場合

受光側回路は、実施例 1 と同様の動作となる。

②入力端子 5 1 a、5 1 b 間および入力端子 5 1 c、5 1 d 間の一方に、出力端子 8 a、8 b の低電位側に接続される MOSFET のみをオン駆動させる電気信号が供給された場合

出力端子 8 a、8 b 間に出力端子 8 a 側が高電位になるように電圧が印加されているとき、入力端子 5 1 c、5 1 d 間に電気信号が供給され、MOSFET 2 1 b がオン駆動する。そして、双方向形スイッチ素子 20 のソース電極 4 3 a と共通ドレイン領域 3 6 間の電圧がソース領域 3 7 a と共通ドレイン領域 3 6 間の  $V_F$  を超えるとソース電極 4 3 a、4 3 b 間に形成された PNP トランジスタ 2 2 がターンオンし、ソース電極 4 3 a、4 3 b 間の電圧は図 7 に示す従来の双方向形 LDMOSFET の 2 つの MOSFET のオン抵抗の和より小さくなる。出力端子 8 a、8 b 間に印加される電圧極性が逆になった場合には、入力端子 5 1 a、5 1 b 間に電気信号が供給され、MOSFET 2 1 a がオン駆動する。そして、MOSFET 2 1 b がオン駆動した場合と同様に双方向形スイッチ素子 20 の PNP トランジスタ 2 2 がターンオンする。

③入力端子 5 1 a、5 1 b 間および入力端子 5 1 c、5 1 d 間に、同一タイミングの電気信号が供給された後、出力端子 8 a、8 b の高電位側に接続される MOSFET のみをオフさせるように電気信号が供給された場合

出力端子 8 a、8 b 間に出力端子 8 a 側が高電位になるように電圧が印加され

ているとき、入力端子 51a、51b 間および入力端子 51c、51d 間に同一タイミングの電気信号が供給され、MOSFET 21a、21b がオン駆動する。このときソース電極 43a と共通ドレイン領域 36 間の印加電圧がソース領域 37a と共通ドレイン領域 36 間の  $V_F$  以下で MOSFET 21a、21b のオン抵抗の和が発生する。そして、ソース領域 37a と共通ドレイン領域 36 間の印加電圧がソース領域 37a と共通ドレイン領域 36 間の  $V_F$  を超える時点で入力端子 51a、51b 間に電気信号が供給されなくなると、MOSFET 21a がオフする。そして、ソース領域 37a と共通ドレイン領域 36 間の印加電圧がソース領域 37a と共通ドレイン領域 36 間の  $V_F$  を超えるとソース電極 43a、43b 間に形成された PNP トランジスタ 22 がターンオンし、ソース電極 43a、43b 間の電圧は図 7 に示す従来の双方向形 LDMOSFET の 2 つの MOSFET のオン抵抗の和より小さくなる。出力端子 8a、8b 間に印加される電圧極性が逆になった場合には、入力端子 51a、51b 間および入力端子 51c、51d 間に同一タイミングの電気信号が供給され、MOSFET 21a、21b がオン駆動した後に、入力端子 51c、51d 間に電気信号が供給されなくなり、MOSFET 21b がオフして、MOSFET 21a がオフした場合と同様に双方向形スイッチ素子 20 の PNP トランジスタ 22 がターンオンする。

#### 【0030】

次に、入力端子 51a、51b 間および入力端子 51c、51d 間の両方に電気信号が供給されなくなると、各発光ダイオード 2 からの光信号がなくなり、各光起電ダイオードアレー 4 からの電気信号もなくなる。その結果、各放電回路 5 を介して、双方向形スイッチ素子 20 の MOSFET 21a、21b のそれぞれのゲートに蓄積された電荷が速やかに放電され双方向形スイッチ素子 20 をオフさせる。

#### 【0031】

尚、上記実施例では、一導電型を p 型、他導電型を n 型として説明したが、逆でも実施できる。また、放電回路として、放電回路 5 を例として説明したが、これに限定されず、他の種々の回路を用いることができる。また、双方向形スイッチ素子 20 では、ベース領域 35a、35b を p 型ウェル領域 44a、44b を

介してシリコン酸化膜 3 2 まで到達させているが、ベース領域自体をシリコン酸化膜 3 2 まで到達させる構造としてもよい。

### 【0 0 3 2】

#### 【発明の効果】

本発明の光結合型半導体リレー装置によれば、双方向形スイッチ素子のソース電極間にバイポーラトランジスタが形成され、双方向形スイッチ素子のオン状態のとき、このバイポーラトランジスタがターンオンするため、光結合型半導体リレー装置の出力端子間のオン時の抵抗を低減することができる。また、ゲートパッドおよびソースパッドの直下に p 型ウェル領域を単独に設ける必要がないので、双方向形スイッチ素子の出力容量も低減できる。

#### 【図面の簡単な説明】

【図 1】 本発明の第 1 実施例の光結合型半導体リレー装置の等価回路図。

【図 2】 図 1 の光結合型半導体リレー装置に用いられる双方向形スイッチ素子の概略平面図。

【図 3】 図 2 の双方向形スイッチ素子の A - A' 概略断面図。

【図 4】 図 1 の光結合型半導体リレー装置の動作説明図。

【図 5】 本発明の第 2 実施例の光結合型半導体リレー装置の等価回路図。

【図 6】 2 個の MOS F E T を用いたソリッドステートリレーの等価回路図。

。

【図 7】 従来の双方向形 L D M O S F E T の概略断面図。

【図 8】 図 7 の双方向形 L D M O S F E T の概略平面図。

#### 【符号の説明】

- 2 発光ダイオード（半導体発光素子）
- 4 光起電ダイオードアレー（半導体光起電素子）
- 2 0 双方向形スイッチ素子
- 2 1 a、2 1 b MOS F E T
- 3 0 S O I 基板
- 3 1 シリコン基板（半導体基板）
- 3 2 シリコン酸化膜（絶縁層）

3 3 n<sup>-</sup>型シリコン層（半導体層）

3 4 n型ウェル領域

3 5 a、3 5 b p型ベース領域

3 6 共通ドレイン領域

3 7 a、3 7 b n<sup>+</sup>型ソース領域

3 8 a、3 8 b シリコン酸化膜（ゲート絶縁膜）

3 9 a、3 9 b ゲート電極

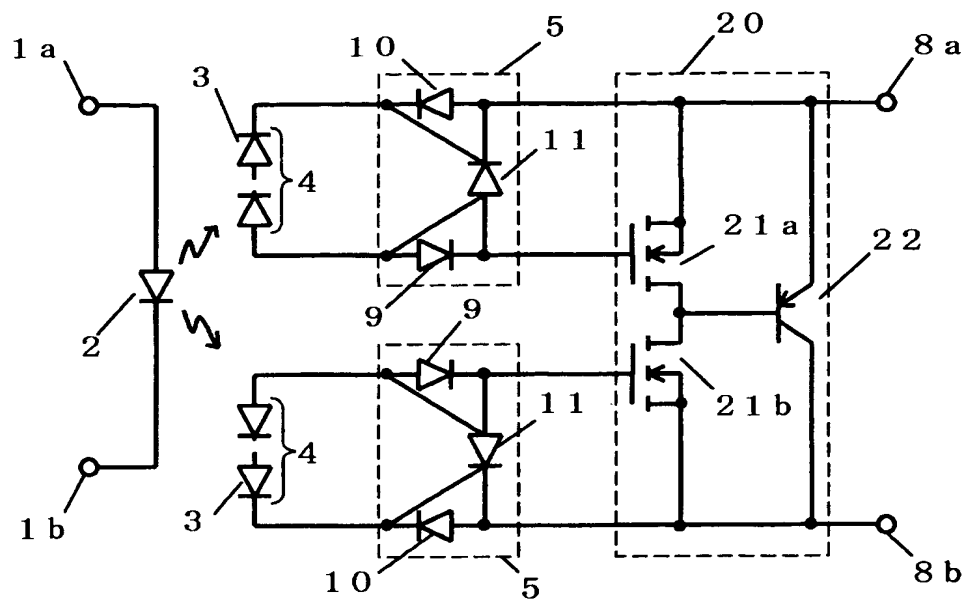
4 0 シリコン酸化膜（フィールド酸化膜）

4 3 a、4 3 b ソース電極

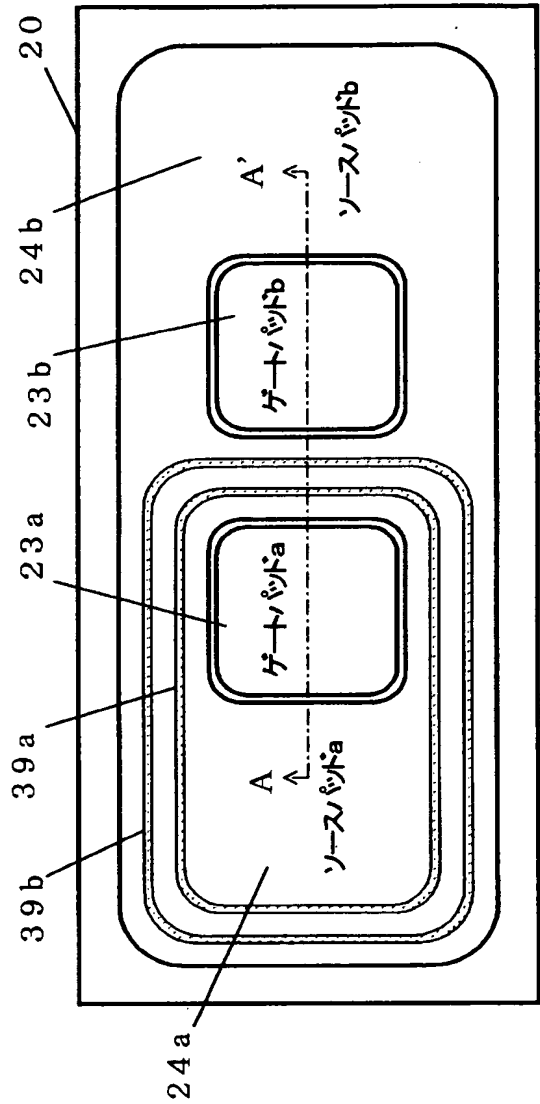
4 4 a、4 4 b P型ウェル領域

【書類名】 図面

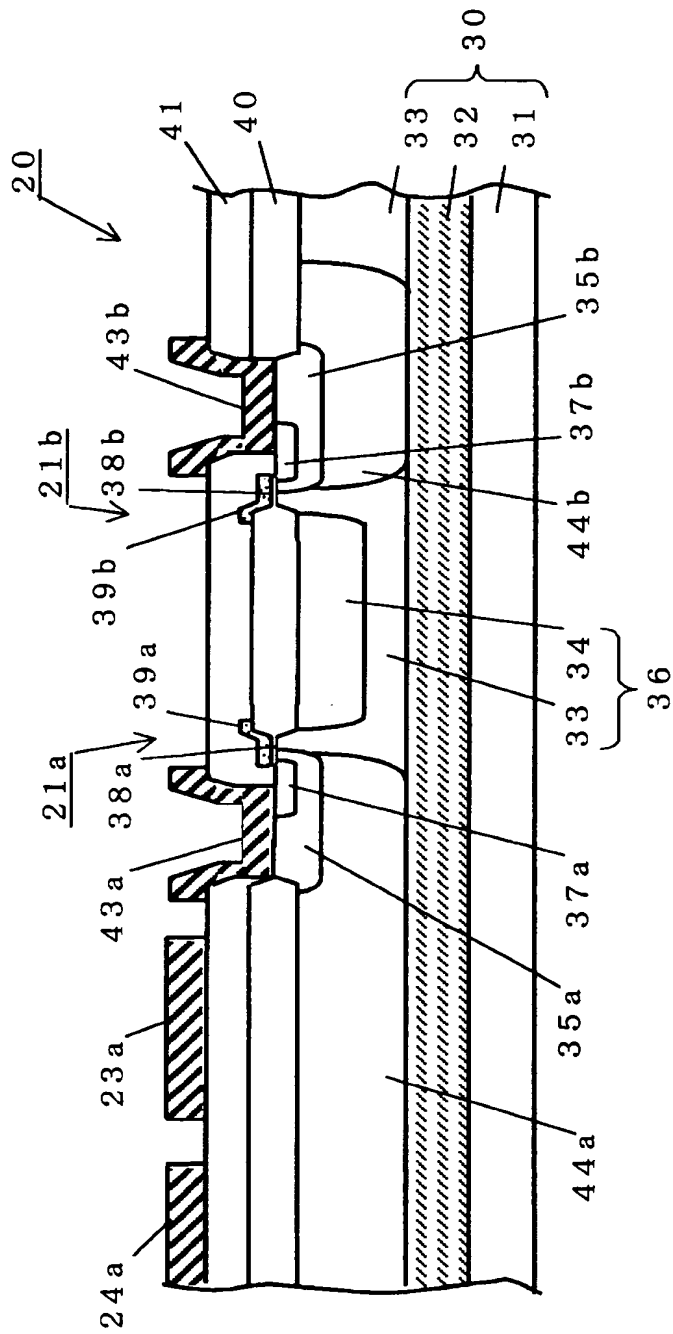
【図 1】



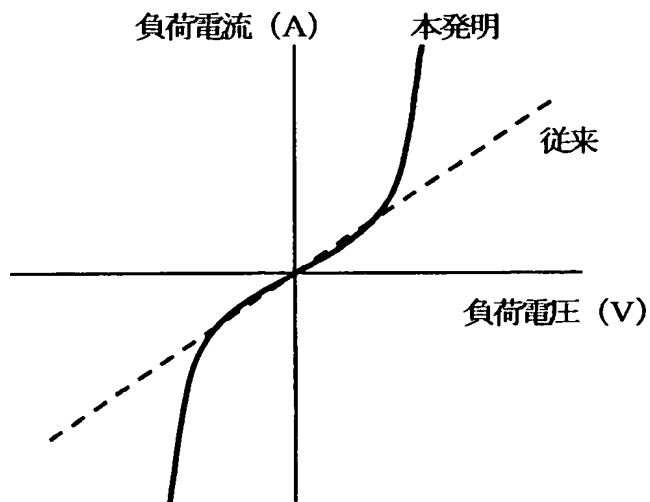
【図 2】



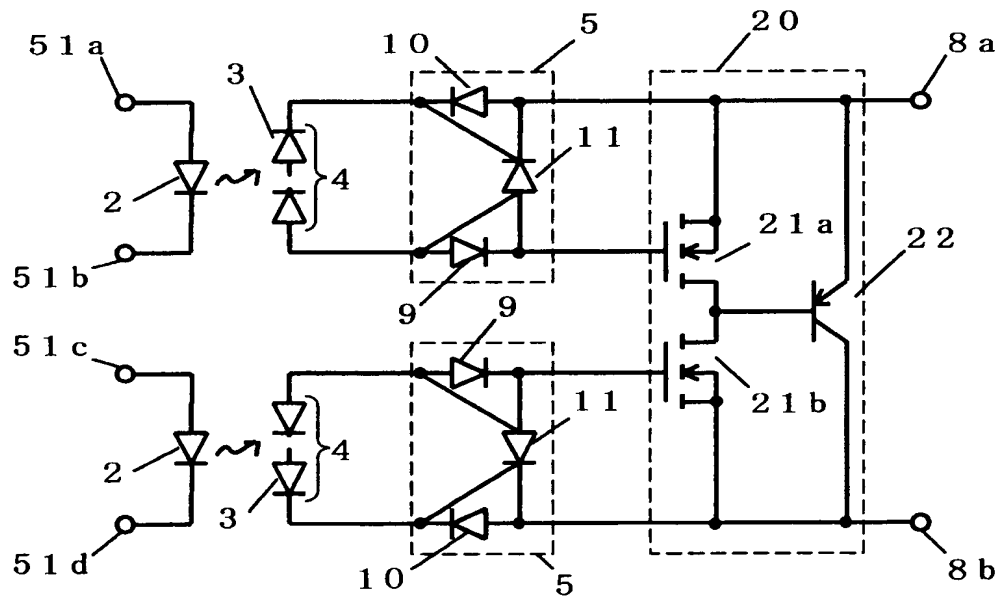
【図 3】



【図 4】

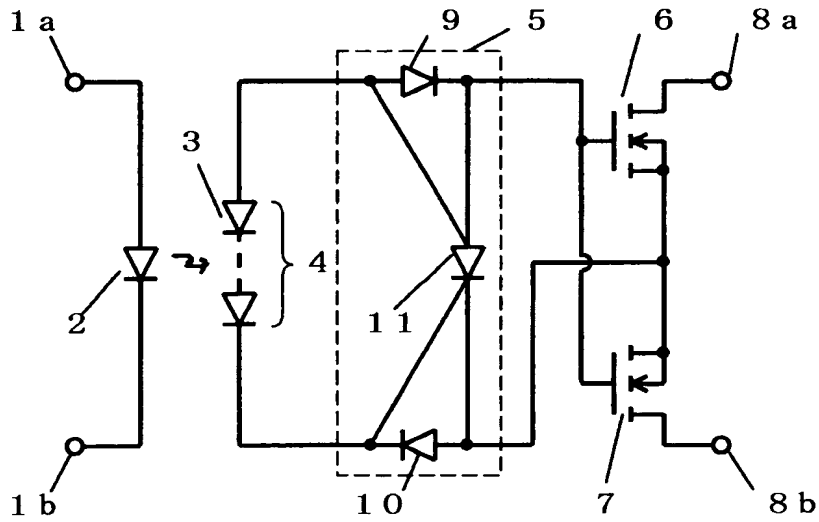


【図 5】

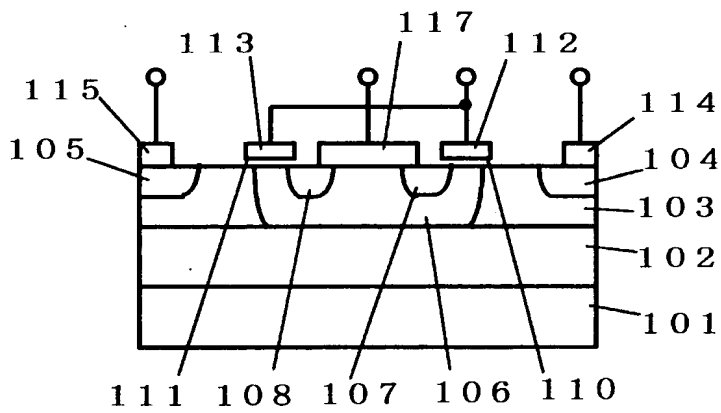




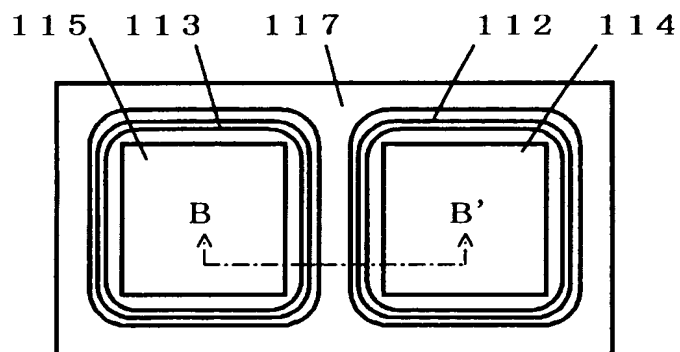
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 交流・直流共用の光結合型半導体リレー装置のオン状態時の出力端子間の抵抗を低減することを目的とする。

【解決手段】 光結合型半導体リレー装置に用いられる双方向形スイッチ素子 2 0 は、S O I 基板 3 0 のシリコン層 3 3 に形成された M O S F E T 2 1 a、2 1 b と P N P トランジスタとからなる。シリコン層 3 3 に、n 型ウェル領域 3 4 がレーストラック形状のパターンで形成され、その内側領域および外側領域に M O S F E T 2 1 a、2 1 b の p 型ベース領域 3 5 a、3 5 b が p 型ウェル領域 4 4 a、4 4 b を介してシリコン酸化膜 3 2 に到達するようにそれぞれ形成されている。p 型ウェル領域 4 4 a、4 4 b に挟まれた n 型ウェル領域 3 4 を含むシリコン層 3 3 が M O S F E T 2 1 a、2 1 b の共通ドレイン領域 3 6 を構成する。そして、ベース領域 3 5 a、3 5 b をエミッタ、コレクタとし、共通ドレイン領域 3 6 をベースとする P N P トランジスタが形成される。

【選択図】 図 3

特願 2 0 0 2 - 3 1 4 0 4 2

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 1 5 6 9 5 0 ]

1. 変更年月日

1 9 9 0 年 8 月 8 日

[変更理由]

新規登録

住 所

滋賀県大津市晴嵐 2 丁目 9 番 1 号

氏 名

関西日本電気株式会社



Creation date: 03-15-2004  
Indexing Officer: MVUONG - MY-HANH VUONG  
Team: OIPEBackFileIndexing  
Dossier: 10677613

Legal Date: 01-23-2004

No.	Doccode	Number of pages
1	PEFR	3
2	DRW	12
3	IDS	7
4	FOR	13
5	FOR	7
6	NPL	14
7	NPL	6
8	NPL	4
9	NPL	4
10	NPL	4
11	NPL	5

Total number of pages: 79

Remarks:

Order of re-scan issued on .....